

Requested Patent: JP63304661A
Title: SEMICONDUCTOR INTEGRATED CIRCUIT ;
Abstracted Patent: JP63304661 ;
Publication Date: 1988-12-12 ;
Inventor(s): MORI SHIGERU; others: 01 ;
Applicant(s): MITSUBISHI ELECTRIC CORP ;
Application Number: JP19870140191 19870604 ;
Priority Number(s): ;
IPC Classification: H01L27/08 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To contrive improvement in latch-up strength by a method wherein a groove is formed on the guard band part for keeping voltage constant, provided on a well region, a diffusion layer of the same conductive type as the well region is formed on the sidewall located on the side of the transistor part of the groove, and an insulating layer is formed ranging from the sidewall on the opposite side of the groove to its bottom surface.

CONSTITUTION: A groove is formed on the guard band 3 provided on an n-well region 15, a thick oxide film 14 is selectively formed on the side approximate to the boundary of the well located on the sidewall of the groove and the bottom face part of the well, and an n diffusion layer 11 is formed on the sidewall located on the opposite side (the side of a transistor 1). A VCC terminal which is in source voltage is connected to the n diffusion layer 11. On the guard band 4 formed on a p-type semiconductor substrate 17, a pOMEGA diffusion layer 12 is formed, and the p diffusion layer 12 is connected to a ground terminal. As a result, the n-channel element region and the p-channel element region are isolated by the insulating layer formed on the sidewall of the groove, and as the voltage clamping of the n-well region 15 is extended to the depthwise direction, a device having high latch-up strength can be formed.

⑫ 公開特許公報(A)

昭63-304661

⑤ Int.Cl.⁴

H 01 L 27/08

識別記号

3 3 1

庁内整理番号

A-7735-5F

④ 公開 昭和63年(1988)12月12日

審査請求 未請求 発明の数 1 (全8頁)

⑬ 発明の名称 半導体集積回路

⑰ 特 願 昭62-140191

⑱ 出 願 昭62(1987)6月4日

⑲ 発 明 者 森 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 宮 本 博 司 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 第1導電形の半導体基板上に位置する第1及び第2導電形の2つのウェル領域の各々内に、あるいは上記基板と一体の半導体基板領域及び第2導電形の1つのウェル領域の各々内に、トランジスタ部を、及び両領域の境界近傍にて電圧固定用のガードバンド部を形成してなるCMOSタイプの半導体集積回路において、

上記2つの素子形成領域のうちの1つのウェル領域のガードバンド部に溝を形成し、

該溝の上記トランジスタ部側の側壁に、上記ウェル領域と同一導電形の導電領域を形成し、

上記溝の上記トランジスタ部とは反対側の側壁及び底面に絶縁層を形成してなることを特徴とする半導体集積回路。

(2) 上記溝の側壁に設けられた導電領域は、その不純物濃度が上記ウェル領域の不純物濃度より

高いことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

(3) 上記第1及び第2導電形の一方はn型、他方はp型であり、n型導電形のウェル領域又は半導体基板領域は電源電圧レベル又は電源電圧より高い電圧レベルに電圧固定され、p型導電形のウェル領域又は半導体基板領域はグラウンドレベル又はグラウンドレベルより低い電圧レベルに電圧固定されていることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路。

(4) 上記溝は、ダイナミック・ランダム・アクセス・メモリにおけるメモリセル製造プロセスと同じ工程で形成されることを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、CMOSタイプの半導体集積回路におけるラッチアップ防止に関するものである。

(従来の技術)

第8図はnチャネルMOSトランジスタとpチャネルMOSトランジスタの両方を使った従来のCMOS回路を表わす断面図、第9図はその平面図である。ここでは、p型半導体基板17上にnウェル領域15及びpウェル領域16を形成し、nウェル領域15は電源電圧レベルに、pウェル領域16はグラウンドレベルに電圧固定をした場合について説明する。第8図及び第9図において、1はpチャネルMOSトランジスタ、5はそのゲート電極、7はソース電極、8はドレイン電極、2はnチャネルMOSトランジスタ、6はそのゲート電極、9はドレイン電極、10はソース電極である。一般のCMOS回路では、pチャネルMOSトランジスタ1のソース電極7は電源電圧である V_{cc} 端子に接続されており、nチャネルMOSトランジスタ2のソース電極10はグラウンド端子に接続されている。3及び4はガードバンドと呼ばれるもので、ウェルの電圧固定の働きをしている。nウェル15用のガードバンド3はn⁺拡散層11からなり V_{cc} 端子に接続されており、p

ウェル16用のガードバンド4はp⁺拡散層12からなりグラウンド端子に接続されている。14は選択的に形成された厚い酸化膜であり、nウェル領域15とpウェル領域16はデバイスの表面で厚い酸化膜14により分離されている。

次に動作について説明する。

nチャネルMOSトランジスタ1とpチャネルMOSトランジスタ2の両方を使うCMOS回路においては、第11図及び第12図に示すように、寄生的にサイリスタが形成されていることになり、CMOS回路に何らかの雑音が入力してきた場合、それが引き金となって、サイリスタが動作し、過電流によってデバイスが破壊されるというラッチアップ現象が発生する。

ここで、ラッチアップ現象のメカニズムについて説明する。第12図において、例えば、抵抗 R_4 'の一端であるノードN3に負の雑音が入加されると、まずトランジスタ Tr_3 のベース・エミッタが順バイアスとなってトランジスタ Tr_3 がオン状態となり、抵抗 R_1 を過って $V_{cc}-Tr_3$

3

ーノードN3の経路で電流が流れる(経路①)。そして抵抗 R_1 のために電圧降下が起こり、ノードN1の電圧が下がって、トランジスタ Tr_1 のベース・エミッタが順バイアスとなり、これによってトランジスタ Tr_1 がオン状態となって、 $V_{cc}-Tr_1-V_{ss}$ の経路で電流が流れる(経路②)。これによって、ノードN2の電圧が高くなって、トランジスタ Tr_2 のベース・エミッタが順バイアスとなり、トランジスタ Tr_2 がオン状態となる。これによって $V_{cc}-Tr_2-V_{ss}$ の経路で電流が流れる(経路③)。このため、さらにノードN1の電圧が下がってトランジスタ Tr_1 がさらにオン状態となって経路②の電流が増えるというように増々電流が流れるようになって、ついにはデバイスの破壊に至る。

このラッチアップ現象を防ぐためには、ノードN1の電圧降下を小さくすること、及びノードN2の電圧の浮き上がりを小さくすることが必要であり、そのためには抵抗 R_1 及び抵抗 R_2 の値を小さくすることが必要である。又、第11図にお

4

いて、nウェル領域内のpチャネルMOSトランジスタのソースであるp⁺拡散領域とpウェル領域との距離 d の値を大きくすると、pnpトランジスタ Tr_1 の電流増幅率が下がるので、ラッチアップを防ぐ有効手段となる。

そして、第8図及び第9図に示すような構造のCMOS回路においては、各ウェルの隣接部分に、ウェル領域と同一導電形の拡散層によるガードバンドが設けてあるので、半導体基板の表面においては、ウェル領域の電圧固定がなされており、ラッチアップに対する防止対策は一応なされている。

また、ラッチアップ防止の従来例として第10図に示すような構成のものもある。これは「第29回応用物理学関係連合講演会」2p-S-8 1982年4月に発表されたもので、nウェル領域15とpウェル領域16を分離している所に、溝13を掘って絶縁分離を行なったものである。このような構造にすることで実質的に寄生pnpトランジスタの電流増幅率が下がり、ラッチアップ防止の有効手段となっている。

5

6

(発明が解決しようとする問題点)

従来の半導体集積回路は以上のように構成されているので、次のような問題点があった。

まず、第8図及び第9図に示す構造では、ウェルの電圧固定が基板の表面でしかなされておらず、深さ方向には電圧固定の効果が薄い。実際のラッチアップ動作においては、深さ方向の抵抗が存在することにより寄生 pnp トランジスタ $Tr.1$ がオン状態となってしまうから、これでは高いラッチアップ耐量は望めない。ラッチアップ耐量を上げようとすると、 p チャネル素子と n チャネル素子の分離幅を広げて寄生 pnp トランジスタ $Tr.1$ の電流増幅率を下げる必要があった。

また、第10図に示す構造においても、溝によるウェル領域の絶縁分離によって寄生 pnp トランジスタ $Tr.1$ の電流増幅率は下げられているものの、ウェル領域の電圧固定は基板の表面でしかなされておらず、ラッチアップ防止としては万全ではない。さらにこの構造をとった場合、素子分離用の溝の深さをウェル領域より深くしてはじめ

て効果が現われるものであるので、そのために素子分離幅を小さくしたままウェル領域より深い溝を掘ることが必要であるが、それが困難であるという問題点と、通常のデバイス形成においてはウェル領域よりも深い溝を形成する工程はなく素子分離用のために新しくプロセス工程を追加する必要があるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、寄生 pnp トランジスタの電流増幅率を下げ、さらに実質的なウェル抵抗を小さくして、ラッチアップ耐量を向上できる半導体集積回路を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体集積回路は、ウェル領域に設けられた電圧固定用のガードバンド部に溝を形成し、溝のトランジスタ部側の側壁にウェル領域と同一導電形の拡散層を形成し、溝の反対側の側壁から底面にかけて絶縁層を形成したものである。

(作用)

7

この発明においては、ウェル領域のガードバンド部に溝が形成され、該溝のトランジスタ部側とは反対側の側壁及び底面に絶縁層が形成されるため、深さ方向の絶縁分離がなされて、寄生 pnp トランジスタの電流増幅率が下がることとなり、さらに溝のトランジスタ部側の側壁に拡散層が形成されるため、ウェルの深い部分まで確実に電圧固定がなされて、寄生抵抗が実質的に下がることとなり、ラッチアップ耐量を大幅に向上することができる。

(実施例)

第1図はこの発明の第1の実施例による半導体集積回路を示す断面図、第2図はその平面図である。ここでは、 p 型半導体基板17上に n ウェル領域15を形成し、 n ウェル領域15の基板17との境界部に設けられたガードバンド3の部分に溝を形成し、 n ウェル領域15を電源電圧 V_{cc} レベルに電圧固定を行ない、 p 型半導体基板17をグランドレベルに電圧固定をした場合について説明する。第1図及び第2図において、1は n ウェ

9

8

ル領域15内に形成された p チャネルMOSトランジスタ、5はそのゲート電極、7はソース電極、8はドレイン電極、2は p 型半導体基板17上に形成された n チャネルMOSトランジスタ、6はそのゲート電極、9はドレイン電極、10はソース電極である。一般にCMOS回路の多くでは、 p チャネルMOSトランジスタ1のソース電極7は電源電圧である V_{cc} 端子に接続されており、 n チャネルMOSトランジスタ2のソース電極10はグランド端子に接続されている。3及び4はガードバンドであり、これはウェル領域の電圧固定の働きをしている。 n ウェル領域15に形成されたガードバンド3には溝が形成されており、その溝の側壁のウェルの境界に近い側と底面部には選択的に厚い酸化膜14が形成され、反対側(トランジスタ1側)の側壁には n^+ 拡散層11が形成されている。その n^+ 拡散層11は電源電圧である V_{cc} 端子に接続されている。 p 型半導体基板17上に形成されたガードバンド4には p^+ 拡散層12が形成されており、その p^+ 拡散層12はグ

10

ランド端子に接続されている。

nチャネルMOSトランジスタ2とpチャネルMOSトランジスタ1とから構成されるCMOS回路において発生するラッチアップ現象については、従来例で説明した通りである。第11図及び第12図に示すラッチアップの発生メカニズムにおいて、ラッチアップの防止策として、具体的にはウェル領域の寄生抵抗R1及びR3の値を小さくすることと、寄生pnpトランジスタTr.1の電流増幅率を下げることの2つのポイントがあるが、第1図及び第2図に示すような構成になる本実施例の半導体集積回路では、まず、nチャネル素子領域とpチャネル素子領域が溝の側壁に形成された絶縁層により素子分離されているため、寄生pnpトランジスタTr.1の電流増幅率が低くなり、さらにnウェル領域15の電圧固定が深さ方向にもなされているため、実質的な寄生抵抗R1も小さくなっている。そのため、第12図におけるノードN1の電圧降下が生じにくく、寄生pnpトランジスタTr.1はオンしにくく、さらに仮

りにオン状態となったにしてもトランジスタTr.1の電流増幅率が低くなっているため、経路①を流れる電流が小さく、寄生npnトランジスタTr.2をオン状態にするまでには至らない。

このように本実施例では、2段構えでラッチアップの防止対策がなされているため、ラッチアップは非常に起こりにくくなる。またこの構造では、寄生抵抗R3は小さくなっていないが、トランジスタTr.1はオンしにくく、仮りにオン状態となっても電流が流れにくく、トランジスタTr.2がオン状態にならないので、高ラッチアップ耐量のデバイス形成が可能である。

さらに、本実施例の大きな利点として次のようなことがある。即ち、高集積化が進む最近の記憶素子においては、メモリセル間に溝を掘って、溝掘り分離を行なうプロセスが導入されているが、本実施例はその製造プロセスを応用することができ、容易に形成することができる。特に、分離併合形セルに溝の側壁を酸化する工程を加えたメモリセル構造(1EDM'86.6・5,p144)を持つダ

1 1

イナミック・ランダム・アクセス・メモリにおいては、本実施例の構造を形成するプロセス工程とメモリセルを形成するプロセス工程とが同一であるので、新しくプロセス工程を増すことなく、容易に形成することができる。

第3図及び第4図はこの発明の第2の実施例による半導体集積回路を示す断面図及び平面図である。本実施例は、上記第1の実施例がp型半導体基板の上にnウェル領域を形成し、nウェル領域の周囲に設けられたガードバンドに溝を形成したのと異なり、n型半導体基板18上にpウェル領域16を形成し、pウェル領域16の基板18との境界部に設けられたガードバンド4に溝を形成したものである。これによっても、第12図に示す寄生pnpトランジスタTr.1の電流増幅率が低く抑えられ、さらに寄生抵抗R3が小さくなるので、ラッチアップは発生しない。

第5図はこの発明の第3の実施例による半導体集積回路を示す。これはp型半導体基板上17上に、nウェル領域15及びpウェル領域16を形

1 2

成し、双方のウェル領域の周囲に形成されたガードバンド3、4の両方に溝を形成したものであり、これによればさらにラッチアップを発生しにくくできる。

また第6図及び第7図はこの発明の第4及び第5の実施例による半導体集積回路を示す。これらはp型半導体基板17上にnウェル領域15及びpウェル領域16を形成し、双方のウェル領域の境界部に形成されたガードバンド3、4の一方に溝を形成したものであり、これによってもラッチアップの発生を防止できる。

なお、上記第3、第4、第5の実施例に示すような2種類のウェル領域を形成した場合は、半導体基板にn型を使用しても全く同じ効果が得られる。

また、上記実施例では、nウェル領域が電源電圧レベルに固定された場合について述べたが、これは電源電圧より高いレベルに電圧固定されていても良く、また、pウェル領域もしくはp型半導体基板がグラウンドレベルに電圧固定された場合に

1 3

1 4

ついて述べたが、これはグラウンドレベルより低い基板電圧レベルに電圧固定されていても良い。

また、上記実施例では、ガードバンド部に形成された溝の深さがウェル領域の深さと同程度の場合について説明したが、ウェル領域の深さより浅い溝を形成した場合でも深い溝を形成した場合よりは小さいがラッチアップ防止の効果を十分に得ることができる。

(発明の効果)

以上のようにこの発明の半導体集積回路によれば、CMOS回路におけるウェル電圧固定用のガードバンド部に溝を形成し、溝の一方の側壁及び底面に絶縁膜を形成して寄生pnptランジスタの電流増幅率を下げ、溝の他方の側壁にウェル電圧固定用の拡散層を設けてウェルの深い部分まで電圧固定を行うようにしたので、CMOS回路に発生するラッチアップ現象を防止でき、信頼性の高いデバイスを得ることができる効果がある。

4. 図面の簡単な説明

第1図及び第2図はこの発明の第1の実施例に

よる半導体集積回路を示す断面図及び平面図、第3図及び第4図はこの発明の第2の実施例による半導体集積回路を示す断面図及び平面図、第5図、第6図、第7図はそれぞれこの発明の第3、第4、第5の実施例による半導体集積回路を示す断面図、第8図及び第9図は従来の半導体集積回路を示す断面図及び平面図、第10図は従来の半導体集積回路の他の例を示す断面図、第11図、第12図はそれぞれCMOSタイプの半導体集積回路におけるラッチアップ現象を説明するための図である。

図において、1はpチャネルMOSトランジスタ、2はnチャネルMOSトランジスタ、3、4は電圧固定用のガードバンド、5、6はゲート電極、7、10はソース電極、8、9はドレイン電極、11はn⁺拡散層、12はp⁺拡散層、13は溝による絶縁分離領域、14は厚い酸化膜、15はnウェル領域、16はpウェル領域、17はp型半導体基板、18はn型半導体基板、R1～R4、R4'は寄生抵抗、Tr.1は寄生pnptランジスタ、Tr.2、Tr.3は寄生npnトラン

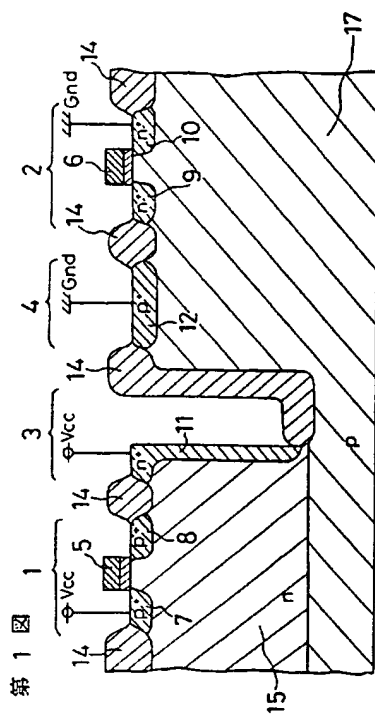
15

16

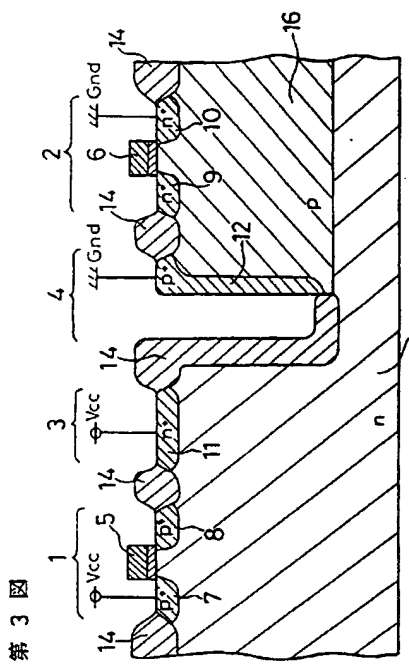
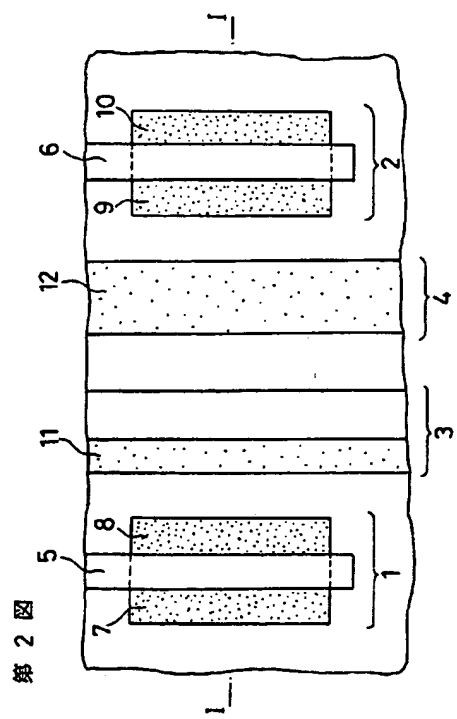
ジスタである。

なお図中同一符号は同一又は相当部分を示す。

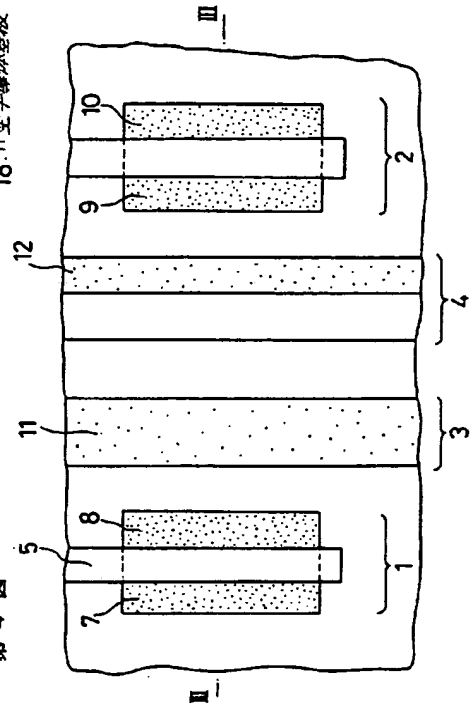
代理人 早 瀬 憲 一



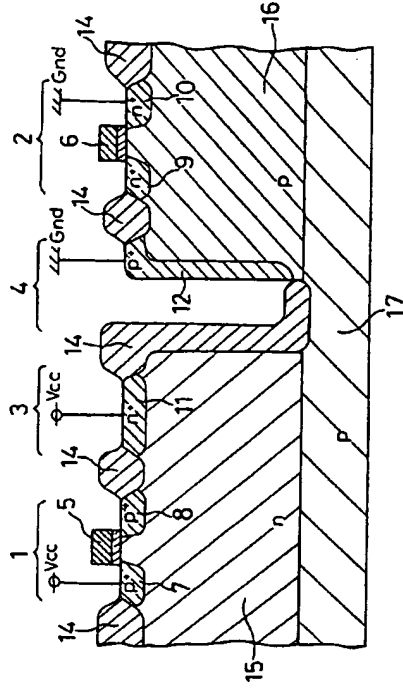
- 1: PチャンネルMOSトランジスタ
2: nチャンネルMOSトランジスタ
3, 4: ゲートインパ
5, 6: ゲート電極
7, 10: ソース電極
8, 9: ドレイン電極
11: n+拡散層
12: p+拡散層
14: 厚い酸化膜
15: nウェル領域
17: p型半導体基板



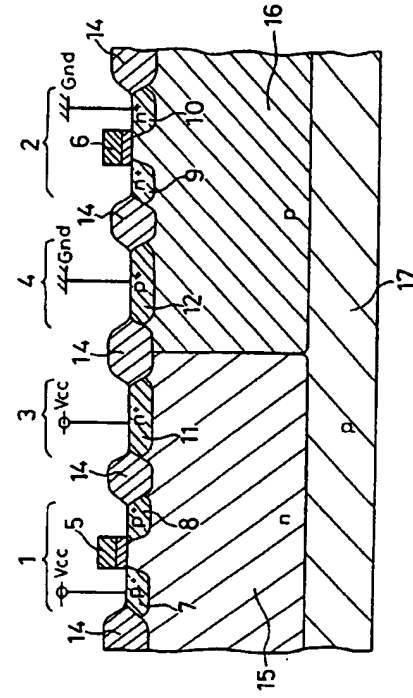
- 16: pウェル領域
18: n型半導体基板



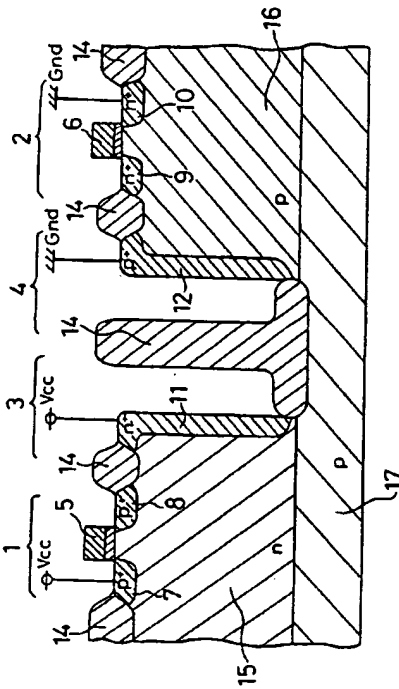
第 7 図



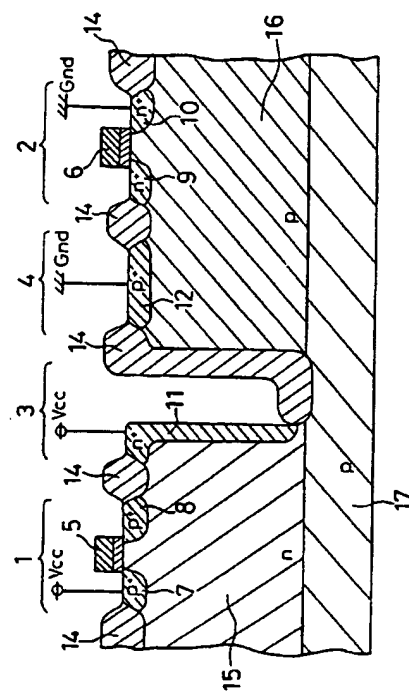
第 8 図

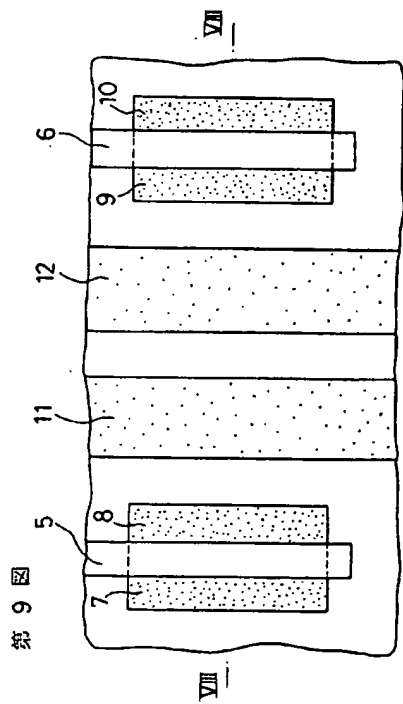


第 5 図

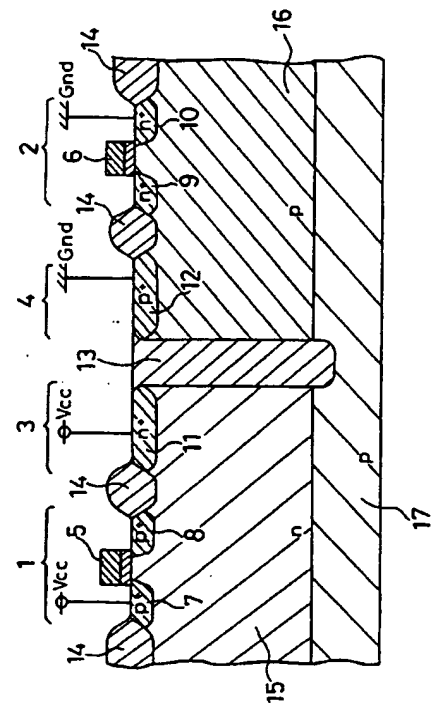


第 6 図

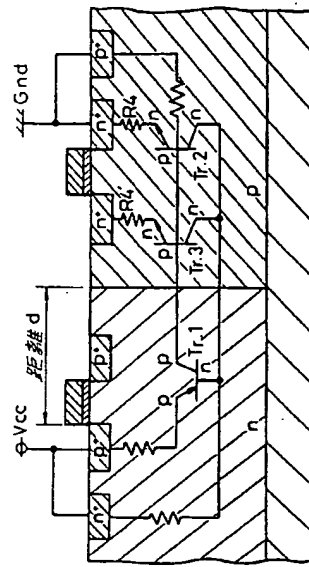




第 10 図



第 11 図



第 12 図

